

newly cited 1/27/03

CLIPPEDIMAGE= JP410004179A

PAT-NO: JP410004179A

DOCUMENT-IDENTIFIER: JP 10004179 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 6, 1998

INVENTOR-INFORMATION:

NAME

SEGAWA, MIZUKI

YABU, TOSHIKI

MATSUZAWA, AKIRA

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP08155316

APPL-DATE: June 17, 1996

INT-CL (IPC): H01L027/04;H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device, which is mounted with a resistance element that occupies an small area and has a desired resistance value, and its manufacture.

SOLUTION: An element isolation 2 is formed on the part of a p well 1 on a semiconductor substrate, and a resistor film 4a, which is a first conductive member, is formed on the element isolation 2. An insulating film 5b which covers areas other than the contact forming area on the resistance film 4a and an upper electrode film 6b, which is a second conductive member, are formed, and a gate electrode 6a and a gate oxide film 5a are formed

at the same time.

Silicide films 11a-11d of a refractory metal are formed on the surfaces of the gate electrode 6a, n type high concentration diffusion layer, contact forming area on the resistance film 4a and the upper electrode film 6b. The resistance element or inductor which occupy a small area are formed without reducing the resistance value of the resistance film 4a, while using the silicide process. Whether to function the resistance elements or capacity element can be selected.

COPYRIGHT: (C)1998, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-4179

(43)公開日 平成10年(1998)1月6日

(51)Int.Cl.⁶

H 0 1 L 27/04
21/822

識別記号

庁内整理番号

F I

H 0 1 L 27/04

技術表示箇所

P
L
C

審査請求 未請求 請求項の数26 O L (全 21 頁)

(21)出願番号 特願平8-155316

(22)出願日 平成8年(1996)6月17日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 瀬川 瑞樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 薮 俊樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 松澤 昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

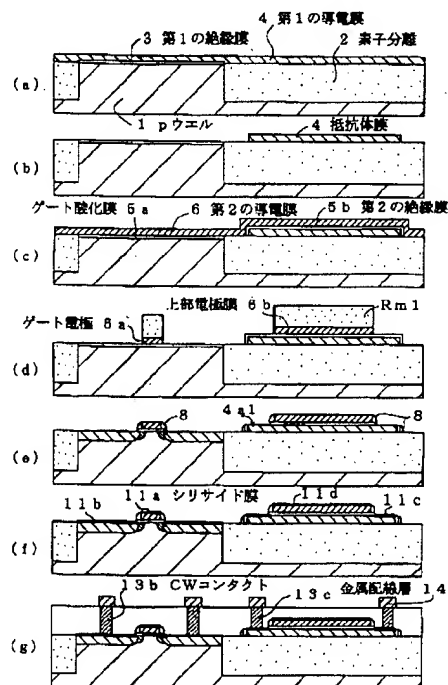
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 占有面積が小さくかつ所望の抵抗値を有する抵抗素子を搭載した半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上的pウエル1の一部に素子分離2を形成し、素子分離2の上に第1の導電性部材である抵抗体膜4aを形成する。抵抗体膜4aのコンタクト形成領域を除く領域を覆う絶縁膜5bと第2の導電性部材である上部電極膜6bとを形成し、同時にゲート電極6aとゲート酸化膜5aとを形成する。ゲート電極6aと、n型高濃度拡散層10と、抵抗体膜4aのコンタクト形成領域と、上部電極膜6bとの表面上にリフラクトリ金属のシリサイド膜11a~11dをそれぞれ形成する。シリサイドプロセスを利用しながら、抵抗体膜4aの抵抗値を低減することなく占有面積の小さい抵抗素子やインダクタの形成を可能にする。抵抗素子等と容量素子のいずれかを機能させるかは選択できる。



【特許請求の範囲】

【請求項1】 半導体基板上の一部に形成されコンタクト形成領域を有する第1の導電性部材と、

上記第1の導電性部材の上記コンタクト形成領域を除く領域を覆う第2の導電性部材と、

上記第1の導電性部材と上記第2の導電性部材との間に介設された絶縁膜と上記第1の導電性部材の上記コンタクト形成領域と上記第2の導電性部材との表面に接して形成された低抵抗層とを備え、

上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを選択して機能させることができるように構成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記半導体基板上に形成されたゲート電極と、上記ゲート電極の両側方に位置する上記半導体基板内に不純物を導入してなるソース・ドレイン領域とを有するMOSトランジスタをさらに備え、

上記ゲート電極及びソース・ドレイン領域のうち少なくとも上記ゲート電極の表面に接して上記第1の導電性部材上の低抵抗層と同じ材料からなる低抵抗層が形成されていることを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、

上記第1の導電性部材は、上記半導体基板内に形成された不純物拡散層により構成されており、

上記第2の導電性部材は、ポリシリコン膜により構成されていることを特徴とする半導体装置。

【請求項4】 請求項1又は2記載の半導体装置において、

上記第1の導電性部材は、上記半導体基板の上に形成された第1のポリシリコン膜により構成されており、

上記第2の導電性部材は、上記第1のポリシリコン膜の上方に形成された第2のポリシリコン膜により構成されていることを特徴とする半導体装置。

【請求項5】 請求項3又は4記載の半導体装置において、

上記低抵抗層は、金属シリサイド膜であることを特徴とする半導体装置。

【請求項6】 請求項1記載の半導体装置において、

上記低抵抗層は、上記第1の導電性部材及び上記第2の導電性部材の上に選択的に堆積された低抵抗の金属膜であることを特徴とする半導体装置。

【請求項7】 半導体基板上の一部において上記半導体基板の表面に平行な面内で複数の直線部と該各直線部間を接続する少なくとも1つの曲り部とからなる線状に形成され、コンタクト形成領域を有する第1の導電性部材と、

上記第1の導電性部材のコンタクト形成領域及び上記曲り部を除く領域を覆う絶縁膜と、

上記第1の導電性部材の上記コンタクト形成領域及び上記曲り部の表面に接して形成された低抵抗層とを備えていることを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置において、上記第1の導電性部材の各直線部はいずれも互いに平行であり、上記第1の導電性部材はつずら折り状に形成されていることを特徴とする半導体装置。

【請求項9】 請求項8記載の半導体装置において、上記第1の導電性部材のすべての直線部に跨って形成された第2の導電性部材と、

上記第2の導電性部材の表面に接して形成され上記第1の導電性部材上の低抵抗層と同じ材料からなる低抵抗層とをさらに備え、

上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを選択して機能させることができるように構成されていることを特徴とする半導体装置。

【請求項10】 請求項7記載の半導体装置において、上記第1の導電性部材は、中央の端部から外方に向かって渦巻状多角形を描きながら延びた後外方の端部で止まるように形成されており、

上記第1の導電性部材の上記複数の直線部は上記渦巻状多角形の各辺であり、上記第1の導電性部材の曲げ部は上記渦巻状多角形の角部であることを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、

上記第1の導電性部材の上記渦巻状多角形内の同じ辺に属する各直線部に跨る部分に分割して形成された導電性材料からなる第2の導電性部材と、

上記第2の導電性部材の表面に接して形成され上記第1の導電性部材上の低抵抗層と同じ材料からなる低抵抗層とをさらに備え、

上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを選択して機能させることができるように構成されていることを特徴とする半導体装置。

【請求項12】 請求項9又は11記載の半導体装置において、

上記第2の導電性部材は、上記第1の導電性部材の各直線部のうち最外方の各直線部に沿って外方にはみでたコンタクト領域をそれぞれ有し、

上記第1の導電性部材及び上記第2の導電性部材の上方に層間絶縁膜を介して形成された複数の配線層と、

上記各配線層と上記第1の導電性部材のコンタクト形成領域とを接続する第1の接続部材と、

上記各配線層と上記導電膜の各コンタクト形成領域の各々複数の部位とを接続する第2の接続部材とをさらに備え、

上記第1の接続部材と上記第2の接続部材との間に信号

遅延回路が構成されていることを特徴とする半導体装置。

【請求項13】 少なくとも受動素子形成領域を有する半導体基板上に第1の導電性部材を形成する第1の工程と、
少なくとも上記第1の導電性部材の上に絶縁膜を形成する第2の工程と、
少なくとも上記絶縁膜を覆うように導電膜を堆積する第3の工程と、
上記導電膜をパターニングして、上記導電膜の少なくとも10
もコンタクト形成領域を除く領域のみを覆う第2の導電性部材を形成する第4の工程と、
上記第1の導電性部材の露出している表面及び上記第2の導電性部材の表面の上に低抵抗層を形成する第5の工程とを備え、
上記受動素子形成領域において、上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくとも1つを形成することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、
上記半導体基板上にはさらに能動素子形成領域が設けられており、
上記第2の工程では、上記絶縁膜を上記能動素子形成領域における上記半導体基板の上にも形成し、
上記第3の工程では、上記導電膜を上記能動素子形成領域における上記絶縁膜の上にも堆積し、
上記第4の工程では、上記能動素子形成領域において上記導電膜及び上記絶縁膜からゲート絶縁膜及びゲート電極を形成するように上記導電膜及び絶縁膜をパターニングし、
上記第5の工程では、上記低抵抗層を上記能動素子形成領域の少なくとも上記ゲート電極の表面上にも形成することを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、
上記半導体基板上に上記能動素子形成領域を取り囲む素子分離を形成する工程をさらに備え、
上記第1の工程では、上記素子分離上に第1のポリシリコン膜を堆積した後上記第1のポリシリコン膜をパターニングすることにより、上記第1の導電性部材を形成し、
上記第2の工程では、上記能動素子形成領域における上記半導体基板の表面及び上記受動素子形成領域における上記第1の導電性部材の表面を酸化することにより上記絶縁膜を形成し、
上記第3の工程では、上記導電膜として第2のポリシリコン膜を形成することを特徴とする半導体装置の製造方法。

【請求項16】 請求項14記載の半導体装置の製造方

法において、
上記半導体基板上に上記能動素子形成領域及び上記受動素子形成領域を取り囲む素子分離を形成する工程をさらに備え、

上記第1の工程では、上記受動素子形成領域における不純物が導入された半導体基板により上記第1の導電性部材を形成し、

上記第2の工程では、上記能動素子形成領域における上記半導体基板の表面及び上記受動素子形成領域における上記第1の導電性部材の表面を酸化することにより上記絶縁膜を形成し、

上記第3の工程では、上記導電膜としてポリシリコン膜を形成することを特徴とする半導体装置の製造方法。

【請求項17】 請求項15又は16記載の半導体装置の製造方法において、

上記第5の工程では、少なくとも上記第2の導電性部材の表面と上記ゲート電極の表面との上にリフラクトリ金属を堆積した後熱処理をして、上記低抵抗層となる上記リフラクトリ金属のシリサイド膜を形成することを特徴とする半導体装置の製造方法。

【請求項18】 請求項15又は16記載の半導体装置の製造方法において、

上記第5の工程では、少なくとも上記第2の導電性部材の表面と上記ゲート電極の表面との上に上記低抵抗層となる低抵抗の金属膜を選択的に堆積することを特徴とする半導体装置の製造方法。

【請求項19】 請求項13記載の半導体装置の製造方法において、

上記第1の工程では、上記第1の導電性部材の外方に上記第1の導電性部材と同じ材料で構成され第1の導電性部材と平行なダミー部材を形成し、

上記第2の工程では、上記ダミー部材の上にも絶縁膜を形成し、

上記第4の工程では、上記第2の導電性部材及び容量絶縁膜を上記ダミー部材のコンタクト形成領域を除く領域を覆うように形成し、

上記第5の工程では、上記ダミー部材の露出している表面にも低抵抗層を形成することを特徴とする半導体装置の製造方法。

【請求項20】 半導体基板上の一部に、上記半導体基板の表面に平行な面内で互いに平行な複数の直線部と各直線部間を接続する曲り部とを有する線状の第1の導電性部材を形成する第1の工程と、

少なくとも上記第1の導電性部材の上を覆う絶縁膜を形成する第2の工程と、

上記絶縁膜をパターニングして、上記第1の導電性部材のコンタクト形成領域と上記曲り部とを除く領域を覆う容量絶縁膜を形成する第3の工程と、

上記第1の導電性部材の露出している表面の上に低抵抗層を形成する第4の工程とを備えていることを特徴とす

る半導体装置の製造方法。

【請求項21】 請求項20記載の半導体装置の製造方法において、

上記第1の工程では、上記第1の導電性部材を上記各直線部が互いに平行となるつずら折り状に形成することを特徴とする半導体装置の製造方法。

【請求項22】 請求項21記載の半導体装置の製造方法において、

上記第2の工程の後上記第3の工程の前に、少なくとも上記絶縁膜の上を覆う導電膜を形成する工程をさらに備え、

上記第3の工程では、上記導電膜及び上記絶縁膜を同時にパターニングして、上記第2の導電性部材を上記第1の導電性部材の各直線部に跨らせるように形成し、

上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを形成することを特徴とする半導体装置の製造方法。

【請求項23】 請求項21記載の半導体装置の製造方法において、

上記第1の工程では、上記第1の導電性部材を、中央の端部から外方に向かって渦巻状多角形を描きながら延びた後外方の端部で止まり上記第1の導電性部材の上記複数の直線部が上記渦巻状多角形の各辺となり上記第1の導電性部材の曲げ部が上記渦巻状多角形の角部となるように形成することを特徴とする半導体装置の製造方法。

【請求項24】 請求項23記載の半導体装置の製造方法において、

上記第2の工程の後上記第3の工程の前に、少なくとも上記絶縁膜の上を覆う導電膜を形成する工程をさらに備え、

上記第3の工程では、上記導電膜及び上記絶縁膜を同時にパターニングして、上記第2の導電性部材を上記渦巻状多角形内の同じ辺に属する各直線部に跨る部分からなるように形成し、

上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを形成することを特徴とする半導体装置の製造方法。

【請求項25】 請求項22又は24記載の半導体装置の製造方法において、

上記第2の導電性部材を形成する工程では、上記第1の導電性部材の最外方の各直線部よりも外方にはみでた接続領域を有する第2の導電性部材を形成しておき、

上記第2の導電性部材の上に層間絶縁膜を形成する第5の工程と、

上記層間絶縁膜に上記第2の導電性部材の各接続領域の各々複数の部位と上記第1の導電性部材のコンタクト形成領域とにそれぞれ到達する複数のコンタクトホールを形成する第6の工程と、

上記各コンタクトホール内に導電性材料からなる埋め込み層を形成する第7の工程と、

上記各埋め込み層にそれぞれ接続される配線層を形成する第8の工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項26】 請求項22又は24記載の半導体装置の製造方法において、

上記第1の工程では、上記第1の導電性部材のうち最外方の直線部の外方に第1の導電性部材と同じ材料で構成され第1の導電性部材と平行なダミー部材を形成し、

上記第2の工程では、上記ダミー部材の上にも絶縁膜を形成し、

上記第3の工程では、上記容量絶縁膜を上記ダミー部材のコンタクト形成領域を除く領域を覆うように形成し、

上記第4の工程では、上記ダミー部材の露出している表面にも低抵抗層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】本発明は、高集積化・低コストが要求される容量素子・抵抗素子・トランジスタ等を混載した半導体装置およびその製造方法に関するものである。

【0002】

【従来技術】従来のMOSトランジスタに容量素子や抵抗素子が混載された半導体装置（アナログデジタル混載）の製造工程は、通常のMOSトランジスタの製造工程（デジタルデバイス用プロセス）に容量素子や抵抗素子の製造工程（アナログデバイス用プロセス）が付加された工程によって実現されている。

30 【0003】デジタルデバイス用プロセスについて見ると、近年、通常の製造工程で形成されるMOSトランジスタにおいては、トランジスタの動作速度の向上や省面積化を実現するために、ポリサイドゲートやサリサイド、あるいはメタル材料の選択成長によるゲート電極やソース・ドレイン拡散層の低抵抗化が必須となってきた。

40 【0004】一方、アナログデバイス用プロセスで抵抗素子を形成するに際しては、抵抗素子の占める面積を省面積化するために抵抗値の大きい材料で抵抗素子を構成することと、形成された抵抗素子が高精度であることが要求される。通常、抵抗素子は、MOSトランジスタのソース・ドレイン領域と同時に形成される拡散層や、MOSトランジスタのゲートとなるポリシリコン層を使用するか、さらに容量素子を形成する2層ポリシリコン電極のいずれかを使用して形成されることが多い。しかしながら、上述のように、MOSトランジスタの速度向上や省面積化の要請からゲート電極やソース・ドレイン拡散層は低抵抗化されるために、抵抗素子に所望の抵抗値をもたせようとする抵抗素子の面積が増大してしま

7

い、結果として半導体装置全体の省面積化ができないという問題が生じてしまう。

【0005】以上のような問題を回避するために、従来、次の様な方法が提案されている。例えばUSP-4, 949, 153によれば、サリサイドプロセスにおけるシリサイド化を行なう際に、低抵抗化したくない領域に絶縁膜を予め形成しておくことで、低抵抗の層を形成しながら比較的高抵抗の層を形成することが可能となる。以下、上記文献に記載されるnチャネルMOSトランジスタ及び抵抗素子の製造工程について、図10

(a)～(g)を参照しながら説明する。

【0006】まず、図10(a)に示す工程において、シリコン基板に形成されたpウェル21内に例えばトレンチ分離法により素子分離22を形成する。引き続き、例えばパイロ酸化によりシリコン酸化膜からなる第1の絶縁膜23を形成した後、例えばCVD法により抵抗素子となるポリシリコン膜を堆積する。その後、ポリシリコン膜中に砒素イオンを注入し、さらに活性化熱処理を行う。しかる後、所望のレジスト膜(図示せず)を形成し、このレジスト膜をマスクとしてドライエッチングを行ない、ポリシリコン膜をパターンニングして第1の導電膜24を形成する。

【0007】次に、図10(b)に示すように、ウェットエッチングにより第1の絶縁膜23を除去した後、ゲート酸化膜25aを形成する。このとき、第1の導電膜24の上面及び側面にも酸化膜からなる第2の絶縁膜25bが形成されるが、単結晶シリコンよりもポリシリコンの方が酸化されやすいので、第2の絶縁膜25bの厚みはゲート酸化膜25aよりも厚い。さらに、例えばCVD法によりポリシリコン膜からなるゲート電極となる第2の導電膜26を堆積する。その後、第2の導電膜26中に砒素イオンを注入する。

【0008】さらに、図10(c)に示すように、所望の第1のレジスト膜27をマスクとして、ドライエッチング法により第2の導電膜26をパターンニングしてゲート電極26aを形成する。

【0009】さらに、図10(d)に示すように、pウェル21内に不純物イオンを注入してn型LDD層(Lightly Doped Drain)となるn型低濃度拡散層29を形成した後、例えばCVD法により、サイドウォール絶縁膜となるシリコン酸化膜28を堆積する。このシリコン酸化膜28は、MOSトランジスタのサイドウォールになると共に、後の工程でシリサイド化の際の保護膜となる。ここで、シリコン酸化膜28の上、かつ第1の導電膜24のうち抵抗素子の主な部分となる高抵抗領域の上方に第2のレジスト膜35を形成する。

【0010】さらに、図10(e)に示すように、第2のレジスト膜35をマスクとして、異方性ドライエッチングを行ない、シリコン酸化膜28を除去する。このとき、MOSトランジスタのゲート電極26aの側面上や

8

抵抗素子となる第1の導電膜24の側面上にシリコン酸化膜28が残されてサイドウォール絶縁膜28aが形成される。また、シリコン酸化膜28はレジスト膜35がマスクとなっていた領域にも残置され、抵抗上絶縁膜28bとなる。さらに、pウェル21内に不純物イオンを注入してソース・ドレイン領域となるn型高濃度拡散層30を形成し、不純物を活性化するために熱処理を加える。

【0011】次に、図10(f)に示すように、例えばチタン等の高融点金属を堆積し、急速加熱熱処理を行なうことにより、シリコン酸化膜に覆われていないかつシリコンで構成される領域、つまりゲート電極26aとn型高濃度拡散層30と第1の導電膜24の表面が露出していた領域に、シリコンとチタンとの反応物からなるシリサイド膜31を形成する。その後、チタン膜のうちシリサイド膜31が形成されていない未反応部分はウェットエッチングによって除去される。

【0012】さらに、図10(g)に示すように、基板上に、層間絶縁膜32、CWコンタクト33、金属配線層34を逐次形成して、低抵抗化されたゲート及びソース・ドレインを有するnチャネルMOSトランジスタと高抵抗領域で形成された抵抗素子が混載した半導体装置を形成する。

【0013】上記の例では、導電膜として第1の導電膜24と第2の導電膜26の2層ポリシリコン膜を使用した。抵抗素子となる第1の導電膜24を、MOSトランジスタのゲートとなる第2の導電膜26で形成することも可能である。ただし、今後、アナログ回路に必要な容量素子として、より容量値の高いものが要求されてきており、導電膜として2層用いて、その2層間の絶縁膜を容量として使用する容量素子(2PS容量素子)の方が好ましい。

【0014】次に、抵抗素子の平面形状に関する従来技術について、図11(a)、(b)を参照しながら説明する。

【0015】図11(a)に示すように、一般的な抵抗素子の平面形状は、小さな占有面積で高い抵抗値を実現するために、導電膜を複数回折り返したつずら折り状の形状となっている。すなわち、両端のコンタクト形成領域36aの間に、直線部36bと曲り部であるフリンジ部36cとが交互に存在する形状となっている。しかし、このようなフリンジ部36cが存在する場合、このフリンジ部36cの形状バラツキによる抵抗のバラツキや広がり抵抗が存在する。そのため、この抵抗素子に所定の抵抗値をもたせようとしても、抵抗素子の精度が低下してしまう。

【0016】そこで、このような問題を解決するために、図11(b)に示すように、抵抗素子36を互いに平行なかつ分離された複数の直線部36bにより構成し、各直線部36bの両端部にそれぞれ上方の金属配線

層34に接続されるCWコンタクト33を形成し、相隣接する直線部の端部同士を2つのCWコンタクト層33及び金属配線層34を介して接続して全体として1つの抵抗素子を構成する方法が採られることもある。このように構成することにより、抵抗素子中の曲り部分をなくし、抵抗値の変動を回避することを図っているのである。

【0017】

【発明が解決しようとする課題】しかしながら、上記従来の抵抗素子の製造方法や構造においては、以下のような問題があった。

【0018】上記図10(a)～(g)に示す製造方法では、第1の導電膜24を構成するポリシリコン膜中にシリサイド化されない高抵抗の領域を作るために、リソグラフィー工程を追加する必要があり、製造工程数が増大してしまう。

【0019】また、図11(b)に示す抵抗素子の構造においても、CWコンタクト33の抵抗が全体の抵抗値のバラツキの要因となり、抵抗素子の精度が低下してしまう。また、各直線部36bの両端部にCWコンタクト33に接続されるマージンを持った領域を設ける必要があるため、抵抗素子全体が占める面積が増大する。

【0020】本発明の第1の目的は、トランジスタと受動素子とを混載してなる半導体装置又はその製造方法において、製造工程数の増加によるコストの増加や占有面積の増大を招くことなく、特性の良好な受動素子を搭載することにある。

【0021】また、本発明の第2の目的は、直線部と曲り部とを有する抵抗素子を搭載した半導体装置において、曲り部における抵抗値のバラツキをなくす手段を講ずることにより、精度の高い抵抗素子を得ることにある。

【0022】

【課題を解決するための手段】上記目的を達成するために、本発明では、請求項1～10に記載される半導体装置に係る手段と、請求項11～23に記載される半導体装置の製造方法に係る手段とを講じている。

【0023】請求項1に係る半導体装置は、半導体基板上の一部に形成されコンタクト形成領域を有する第1の導電性部材と、上記第1の導電性部材の上記コンタクト形成領域を除く領域を覆う第2の導電性部材と、上記第1の導電性部材と上記第2の導電性部材との間に介設された絶縁膜と上記第1の導電性部材の上記コンタクト形成領域と上記第2の導電性部材との表面に接して形成された低抵抗層とを備え、上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを選択して機能させることができるように構成されている。

【0024】この構成により、第1の導電性部材の単位長さ当たりの抵抗値を高く維持しながら、第1の導電性

部材のコンタクト形成領域と第2の導電性部材とを抵抗化することが可能となる。そして、第1の導電性部材のみを機能させたときには所望の抵抗値を有するインダクタ又は抵抗素子となり、一方、第1の導電性部材、絶縁膜及び第2の導電性部材を機能させたときには、第1の導電性部材を下部電極、絶縁膜を容量絶縁膜、第2の導電性部材を上部電極とする容量素子が得られる。すなわち、半導体装置内に、ある部位には容量素子を他の部位には抵抗素子又はインダクタをさらに他の部位には抵抗素子及び容量素子を設けるというように、インダクタ、抵抗素子、容量素子を任意に選択して搭載することが可能となる。特に、容量素子と抵抗素子又はインダクタとが平面から見て同じ箇所にオーバーラップして設けられているので、占有面積が極めて小さく維持される。

【0025】請求項2に係る半導体装置は、請求項1において、上記半導体基板上に形成されたゲート電極と、上記ゲート電極の両側方に位置する上記半導体基板内に不純物を導入してなるソース・ドレイン領域とを有するMOSトランジスタをさらに備え、上記ゲート電極及びソース・ドレイン領域のうち少なくとも上記ゲート電極の表面に接して上記第1の導電性部材上の低抵抗層と同じ材料からなる低抵抗層を形成したものである。

【0026】この構成により、さらに低抵抗のゲート電極を有するMOSトランジスタあるいは低抵抗のゲート電極及びソース・ドレイン領域を有するMOSトランジスタと、抵抗素子、インダクタ、容量素子とが同じ基板上に搭載されるので、極めて応用性の高い半導体装置が得られることになる。

【0027】請求項3に係る半導体装置は、請求項1又は2において、上記第1の導電性部材を上記半導体基板内に形成された不純物拡散層により構成し、上記第2の導電性部材をポリシリコン膜により構成したものである。

【0028】この構成により、1層ポリシリコンプロセスにより半導体装置を製造することが可能となるので、製造コストが安価である。

【0029】請求項4に係る半導体装置は、請求項1又は2において、上記第1の導電性部材を上記半導体基板の上に形成された第1のポリシリコン膜により構成し、上記第2の導電性部材を上記第1のポリシリコン膜の上方に形成された第2のポリシリコン膜により構成したものである。

【0030】この構成により、2層ポリシリコンプロセスにより半導体装置が形成され、容量素子がMIM構造となるので、容量特性の電圧依存性がほとんどない容量素子が得られる。また、抵抗素子もポリシリコンにより構成されるので、半導体基板により抵抗素子を構成する場合よりも抵抗値の調整が容易かつ正確になる。

【0031】請求項5に係る半導体装置は、請求項3又は4において、上記低抵抗層を金属シリサイド膜で構成

11

したものである。

【0032】この構成により、ポリサイドプロセスあるいはサリサイドプロセスを利用して、抵抗特性のよいトランジスタ及び受動素子を形成することができる。

【0033】ただし、請求項6に記載されるように、請求項1において、上記低抵抗層を上記第1の導電性部材及び上記第2の導電性部材の上に選択的に堆積された低抵抗の金属膜で構成してもよい。

【0034】請求項7に係る半導体装置は、半導体基板上の一部において上記半導体基板の表面に平行な面内で複数の直線部と該各直線部間を接続する少なくとも1つの曲り部とからなる線状に形成され、コンタクト形成領域を有する第1の導電性部材と、上記第1の導電性部材のコンタクト形成領域及び上記曲り部を除く領域を覆う絶縁膜と、上記第1の導電性部材の上記コンタクト形成領域及び上記曲り部の表面に接して形成された低抵抗層とを備えている。

【0035】この構成により、第1の導電部材が抵抗素子又はインダクタとして機能する場合、曲り部における抵抗値が極めて低くなる。つまり、抵抗素子又はインダクタの抵抗値はほとんど直線部の抵抗値で定まり、曲り部における抵抗値のバラツキが抵抗素子全体の抵抗値に与える影響はわずかとなる。また、抵抗素子又はインダクタの曲り部で低抵抗のコンタクト及び配線層を迂回させるものごとくコンタクト部材等の抵抗値のバラツキに起因する精度悪化を生ずることもない。したがって、極めて簡素な構成で、精度の高い抵抗素子又はインダクタが得られることになる。

【0036】請求項8に係る半導体装置は、請求項7において、上記第1の導電性部材の各直線部をいずれも互いに平行とし、上記第1の導電性部材をつずら折り状に形成したものである。

【0037】請求項9に係る半導体装置は、請求項8において、上記第1の導電性部材のすべての直線部に跨って形成された導電性材料からなる第2の導電性部材と、上記第2の導電性部材の表面に接して形成され上記第1の導電性部材上の低抵抗層と同じ材料からなる低抵抗層とをさらに備え、上記第1の導電性部材、第2の導電性部材及び絶縁膜により、抵抗素子及び容量素子のうち少なくともいずれか一方を選択して機能させることができるように構成したものである。

【0038】請求項10に係る半導体装置は、請求項7において、上記第1の導電性部材を、中央の端部から外方に向かって渦巻状多角形を描きながら延びた後外方の端部で止まるように形成し、上記第1の導電性部材の上記複数の直線部は上記渦巻状多角形の各辺であり、上記第1の導電性部材の曲げ部は上記渦巻状多角形の角部であるように構成したものである。

【0039】請求項11に係る半導体装置は、請求項10において、上記第1の導電性部材の上記渦巻状多角形

12

内の同じ辺に属する各直線部に跨る部分に分割して形成された導電性材料からなる第2の導電性部材と、上記第2の導電性部材の表面に接して形成され上記第1の導電性部材上の低抵抗層と同じ材料からなる低抵抗層とをさらに備え、上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを選択して機能させることができるように構成したものである。

【0040】請求項8～11の構成により、第1の導電部材の長さを十分大きくして高い抵抗値を実現したときにもその占有面積の増大を抑制することができる。したがって、占有面積の増大を招くことなく抵抗値の調整やインダクタンスの調整が容易な構成となる。

【0041】請求項12に係る半導体装置は、請求項9又は11において、上記第2の導電性部材に、上記第1の導電性部材の各直線部のうち最外方の各直線部に沿って外方にはみでたコンタクト領域をそれぞれ設け、上記第1の導電性部材及び上記第2の導電性部材の上方に層間絶縁膜を介して形成された複数の配線層と、上記各配線層と上記第1の導電性部材のコンタクト形成領域とを接続する第1の接続部材と、上記各配線層と上記導電膜の各コンタクト形成領域の各々複数の部位とを接続する第2の接続部材とをさらに設けて、上記第1の接続部材と上記第2の接続部材との間に信号遅延回路を構成したものである。

【0042】この構成により、信号の減衰を抑制しながら幅の広い遅延特性の調整が可能な遅延回路が得られることになる。

【0043】請求項13に係る半導体装置の製造方法は、少なくとも受動素子形成領域を有する半導体基板上に第1の導電性部材を形成する第1の工程と、少なくとも上記第1の導電性部材の上に絶縁膜を形成する第2の工程と、少なくとも上記絶縁膜を覆うように導電膜を堆積する第3の工程と、上記導電膜をパターンニングして、上記導電膜の少なくともコンタクト形成領域を除く領域のみを覆う第2の導電性部材を形成する第4の工程と、上記第1の導電性部材の露出している表面及び上記第2の導電性部材の表面の上に低抵抗層を形成する第5の工程とを備え、上記受動素子形成領域において、上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを形成する方法である。

【0044】この方法により、第1の導電性部材の単位長さ当たりの抵抗値を下げることなく、コンタクト形成領域における抵抗値のみが低減される。したがって、占有面積の増大を招くことなく少ない工程数で所望の抵抗特性を有する抵抗素子やインダクタが形成される。また、インダクタ、抵抗素子及び容量素子を任意に選択して形成できるので、各種の受動素子を搭載した半導体装置に共通して使用できるアナログプロセスが得られるこ

とになる。

【0045】請求項14に係る半導体装置の製造方法は、請求項13において、上記半導体基板上にはさらに能動素子形成領域に設け、上記第2の工程では、上記絶縁膜を上記能動素子形成領域における上記半導体基板の上にも形成し、上記第3の工程では、上記導電膜を上記能動素子形成領域における上記絶縁膜の上にも堆積し、上記第4の工程では、上記能動素子形成領域において上記導電膜及び上記絶縁膜からゲート絶縁膜及びゲート電極を形成するように上記導電膜及び絶縁膜をパターンニングし、上記第5の工程では、上記低抵抗層を上記能動素子形成領域の少なくとも上記ゲート電極の表面上にも形成する方法である。

【0046】この方法により、能動素子と各種の受動素子とを搭載した半導体装置を形成し得るデジタルプロセスとアナログプロセスとを共通化した製造工程を提供することができる。

【0047】請求項15に係る半導体装置の製造方法は、請求項14において、上記半導体基板上に上記能動素子形成領域を取り囲む素子分離を形成する工程をさらに備え、上記第1の工程では、上記素子分離上に第1のポリシリコン膜を堆積した後上記第1のポリシリコン膜をパターンニングすることにより、上記第1の導電性部材を形成し、上記第2の工程では、上記能動素子形成領域における上記半導体基板の表面及び上記受動素子形成領域における上記第1の導電性部材の表面を酸化することにより上記絶縁膜を形成し、上記第3の工程では、上記導電膜として第2のポリシリコン膜を形成する方法である。

【0048】この方法により、MOSトランジスタを搭載した半導体装置を形成するためのデジタルプロセスとして一般的に使用される2層ポリシリコンプロセスと共通のプロセスによって、精度の高い容量素子や抵抗値の調整幅の広い抵抗素子又はインダクタを形成することが可能になる。

【0049】請求項16に係る半導体装置の製造方法は、請求項14において、上記半導体基板上に上記能動素子形成領域及び上記受動素子形成領域を取り囲む素子分離を形成する工程をさらに備え、上記第1の工程では、上記受動素子形成領域における不純物が導入された半導体基板により上記第1の導電性部材を形成し、上記第2の工程では、上記能動素子形成領域における上記半導体基板の表面及び上記受動素子形成領域における上記第1の導電性部材の表面を酸化することにより上記絶縁膜を形成し、上記第3の工程では、上記導電膜としてポリシリコン膜を形成する方法である。

【0050】この方法により、MOSトランジスタを搭載した半導体装置を形成するためのデジタルプロセスとして一般的に使用される1層ポリシリコンプロセスと共通のプロセスにより、簡素な工程で受動素子と能動素子

とを搭載した半導体装置の形成が可能になる。

【0051】請求項17に係る半導体装置の製造方法は、請求項15又は16において、上記第5の工程では、少なくとも上記第2の導電性部材の表面と上記ゲート電極の表面との上にリフラクトリ金属を堆積した後熱処理をして、上記低抵抗層となる上記リフラクトリ金属のシリサイド膜を形成する方法である。

【0052】この方法により、MOSトランジスタの形成に用いられるポリサイドプロセス又はサリサイドプロセスを利用して、抵抗値の小さい能動素子と受動素子を形成することが可能になる。

【0053】ただし、請求項18に記載されるように、請求項15又は16において、上記第5の工程では、少なくとも上記第2の導電性部材の表面と上記ゲート電極の表面との上に上記低抵抗層となる低抵抗の金属膜を選択的に堆積するようにしてもよい。

【0054】請求項19に係る半導体装置の製造方法は、請求項13において、上記第1の工程では、上記第1の導電性部材の外方に上記第1の導電性部材と同じ材料で構成され第1の導電性部材と平行なダミー部材を形成し、上記第2の工程では、上記ダミー部材の上にも絶縁膜を形成し、上記第4の工程では、上記第2の導電性部材及び容量絶縁膜を上記ダミー部材のコンタクト形成領域を除く領域を覆うように形成し、上記第5の工程では、上記ダミー部材の露出している表面にも低抵抗層を形成する方法である。

【0055】この方法により、第1の導電性部材とダミー部材とがライン&スペースの関係で並ぶので、フォトリソグラフィ工程における第1の導電性部材の形状精度が高くなる。一方、ダミー部材にもコンタクト形成領域が設けられているので、上方の配線層にダミー部材を接続して電圧を固定するのが可能となり、電気的に浮遊状態にあるダミー部材の存在に起因する半導体装置の電気的特性の変動を招くことはない。

【0056】請求項20に係る半導体装置の製造方法は、半導体基板上の一部に、上記半導体基板の表面に平行な面内で互いに平行な複数の直線部と各直線部間を接続する曲り部とを有する線状の第1の導電性部材を形成する第1の工程と、少なくとも上記第1の導電性部材の上を覆う絶縁膜を形成する第2の工程と、上記絶縁膜をパターンニングして、上記第1の導電性部材のコンタクト形成領域と上記曲り部とを除く領域を覆う容量絶縁膜を形成する第3の工程と、上記第1の導電性部材の露出している表面の上に低抵抗層を形成する第4の工程とを備えている。

【0057】この方法により、曲り部における抵抗値の小さい抵抗素子又はインダクタが形成される。したがって、曲り部における抵抗値の変動に起因する抵抗値のバラツキが小さい安定した抵抗特性を有する抵抗素子又はインダクタを形成することができる。

【0058】請求項21に係る半導体装置の製造方法は、請求項20において、上記第1の工程では、上記第1の導電性部材を上記各直線部が互いに平行となるつずら折り状に形成する方法である。

【0059】請求項22に係る半導体装置の製造方法は、請求項21において、上記第2の工程の後上記第3の工程の前に、少なくとも上記絶縁膜の上を覆う導電膜を形成する工程をさらに備え、上記第3の工程では、上記導電膜及び上記絶縁膜を同時にパターンニングして、上記第2の導電性部材を上記第1の導電性部材の各直線部に跨らせるように形成し、上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを形成する方法である。

【0060】請求項23に係る半導体装置の製造方法は、請求項21において、上記第1の工程では、上記第1の導電性部材を、中央の端部から外方に向かって渦巻状多角形を描きながら延びた後外方の端部で止まり上記第1の導電性部材の上記複数の直線部が上記渦巻状多角形の各辺となり上記第1の導電性部材の曲げ部が上記渦巻状多角形の角部となるように形成する方法である。

【0061】請求項24に係る半導体装置の製造方法は、請求項23において、上記第2の工程の後上記第3の工程の前に、少なくとも上記絶縁膜の上を覆う導電膜を形成する工程をさらに備え、上記第3の工程では、上記導電膜及び上記絶縁膜を同時にパターンニングして、上記第2の導電性部材を上記渦巻状多角形内の同じ辺に属する各直線部に跨る部分からなるように形成し、上記第1の導電性部材、第2の導電性部材及び絶縁膜により、インダクタ、抵抗素子及び容量素子のうち少なくともいずれか1つを形成する方法である。

【0062】請求項21又は23の方法によって、占有面積の小さい抵抗素子又はインダクタが形成される。

【0063】請求項22又は24の方法により、曲り部の存在に起因する抵抗素子又はインダクタの抵抗値のバラツキを抑制しながら、インダクタ、抵抗素子、容量素子を形成するためのプロセスを共通化することができる。

【0064】請求項25に係る半導体装置の製造方法は、請求項22又は24において、上記第2の導電性部材を形成する工程では、上記第1の導電性部材の最外方の各直線部よりも外方にはみでた接続領域を有する第2の導電性部材を形成しておき、上記第2の導電性部材の上に層間絶縁膜を形成する第5の工程と、上記層間絶縁膜に上記第2の導電性部材の各接続領域の各々複数の部位と上記第1の導電性部材のコンタクト形成領域とにそれぞれ到達する複数のコンタクトホールを形成する第6の工程と、上記各コンタクトホール内に導電性材料からなる埋め込み層を形成する第7の工程と、上記各埋め込み層にそれぞれ接続される配線層を形成する第8の工程

とをさらに備えている。

【0065】この方法により、上記第1の導電性部材に対して第2の導電性部材の接続領域と容量絶縁膜とが並列に接続された構造となる。すなわち、第1の導電性部材の一端から他端に伝達される信号に対して与えられる遅延特性の調整を容易かつ幅広く行なうことが可能で、しかも信号の減衰が小さい遅延回路を形成することができる。

【0066】請求項26に係る半導体装置の製造方法は、請求項22又は24において、上記第1の工程では、上記第1の導電性部材のうち最外方の直線部の外方に第1の導電性部材と同じ材料で構成され第1の導電性部材と平行なダミー部材を形成し、上記第2の工程では、上記ダミー部材の上にも絶縁膜を形成し、上記第3の工程では、上記容量絶縁膜を上記ダミー部材のコンタクト形成領域を除く領域を覆うように形成し、上記第4の工程では、上記ダミー部材の露出している表面にも低抵抗層を形成する方法である。

【0067】この方法により、請求項19と同様の作用が得られるとともに、占有面積の小さい抵抗素子又はインダクタを形成することが可能となる。

【0068】

【発明の実施の形態】

（第1の実施形態）まず、 n チャネルMOSトランジスタと抵抗素子とを混載した半導体装置の構造及びその製造方法に係る第1の実施形態について説明する。図1（a）～（g）及び図2（a）～（c）は、それぞれ第1の実施形態に係る半導体装置の製造工程を示す断面図及び平面図である。

【0069】まず、図1（a）に示す工程において、シリコン基板に形成された p ウェル1内に例えばトレンチ分離法により素子分離2を形成する。引き続き、例えばパイロ酸化により20nmの厚みを有するシリコン酸化膜からなる第1の絶縁膜3を形成した後、例えばCVD法により厚み200nmのポリシリコン膜からなる第1の導電膜4を堆積する。その後、例えば $6E15\text{ cm}^{-2}$ 、30keVの条件で第1の導電膜4中に砒素イオンを注入し、さらに、例えば900℃、30分の条件で第1の導電膜4の活性化熱処理を行う。

【0070】次に、図1（b）に示す工程で、第1の導電膜4の上に所望の領域を開口したレジスト膜（図示せず）を形成し、このレジスト膜をマスクとしてドライエッチングを行ない、第1の導電膜4をパターンニングして素子分離2の上に抵抗体膜4aを形成する。

【0071】このとき、平面状態では、図2（a）に示す構造となっている。

【0072】さらに、図1（c）に示すように、ウェットエッチングにより第1の絶縁膜3を除去したあと、厚みが10nm程度のゲート酸化膜5aを形成する。このとき、抵抗体膜4aの上面及び側面にも酸化膜からなる

17

第2の絶縁膜5bが形成されるが、単結晶シリコンよりもポリシリコンの方が酸化されやすいので、第2の絶縁膜5bの厚みは20nm程度とゲート酸化膜5aよりも厚い。さらに、例えばCVD法により、厚みが300nm程度のポリシリコン膜からなる第2の導電膜6を堆積する。その後、例えば $6\text{E}15\text{cm}^{-2}$ 、30keVの条件で第2の導電膜6中に砒素イオンを注入する。

【0073】次に、図1(d)に示す工程では、所望の開口部を有するレジスト膜Rm1を第2の導電膜6の上に形成し、このレジスト膜Rm1をマスクとするドライエッチングにより第2の導電膜6をパターニングして、ゲート電極6aと容量素子の上部電極膜6bとを形成する。

【0074】このとき、平面状態では図2(b)に示す構造となっている。すなわち、第2の導電膜6からパターニングされるゲート電極6aはpウェル1の中央を横断して両側の素子分離2にまで跨っている。また、第2の導電膜6からパターニングされる容量素子の上部電極膜6bは、抵抗体膜4aの両端部を除く部分を完全に覆っている。そして、抵抗体膜4aの両端部は露出されており、この部分がコンタクト形成領域4a1となっている。

【0075】次に、図1(e)に示す工程では、pウェル21内に不純物イオンを注入してn型LDD層(Lightly Doped Drain)となるn型低濃度拡散層9を形成した後、例えばCVD法により、サイドウォール絶縁膜となるシリコン酸化膜を150nm程度の厚みで堆積した後、異方性ドライエッチングを行なって、シリコン酸化膜をエッチバックし、ゲート電極6a、抵抗体膜4及び上部電極膜6bの側面上にシリコン酸化膜を残してサイドウォール8を形成する。

【0076】さらに、上方から高濃度の不純物イオンを注入して、ソース・ドレインとなるn型高濃度拡散層10を形成し、不純物を活性化するために、例えば850℃、100分間の熱処理を行なう。

【0077】次に、図1(f)に示す工程では、例えばチタン等のリフラクトリ金属をスパッタリング法により50nm程度の厚みで堆積し、急速加熱熱処理を700℃、1分間の条件で行なう。この熱処理により、シリコン酸化膜に覆われていないかつシリコンで構成される領域、つまりゲート電極6aとn型高濃度拡散層10と抵抗体膜4a内の表面が露出しているコンタクト形成領域4a1と上部電極膜6bとの表面付近の部分がシリサイド化されて、シリコンとチタンとの反応物からなるシリサイド膜11a～11dがそれぞれ形成される。その後、チタン膜のうちシリサイド膜が形成されていない未反応部分はウェットエッチングによって除去される。

【0078】さらに、図1(g)に示すように、基板上に、層間絶縁膜12と、金属配線層14と、ゲート電極-金属配線層間のCWコンタクト13aと、n型高濃度

18

拡散層-金属配線層間のCWコンタクト13bと、抵抗体膜-金属配線層間のCWコンタクト13cとを形成する。ただし、図1(g)は、後述する図2(c)に示すlg-lg線における断面図である。CWコンタクト13cは、抵抗体膜4aの両端のコンタクト形成領域4a1の上に形成される。ただし、容量素子を機能させる場合には、上部電極膜-金属配線層間にもCWコンタクトが形成される。このようにして、低抵抗化されたゲート電極及びソース・ドレイン領域を有するnチャネルMOSトランジスタと高抵抗の抵抗素子と容量素子とが混載した半導体装置を形成する。

【0079】そのとき、金属配線層14を形成する前の平面構造は、図2(c)に示す構造となっている。

【0080】本実施形態における半導体装置の構造によると、抵抗体膜4aのコンタクト形成領域4a1の上に形成されたCWコンタクトを金属配線層14に接続することで、抵抗体膜4aを抵抗素子として機能させることができる。その場合、抵抗体膜4aのうちコンタクト形成領域4a1を除く部分は、シリサイド化を行なう工程では上部電極膜6bによって完全に覆われているので、シリサイド化されることはない。したがって、シリサイドプロセスを利用してゲートやソース・ドレインの低抵抗化を図りつつ、抵抗体膜4aにより構成される抵抗素子の抵抗を高く維持することができ、抵抗素子に必要な面積を低減できる。

【0081】また、抵抗体膜4aの少なくとも1つの箇所と上部電極膜6bとをCWコンタクトを介して金属配線層に接続することにより、抵抗体膜4aを容量素子の下部電極とし、第2の絶縁膜5bを容量絶縁膜とし、上部電極膜6bを上部電極とする容量素子を機能させることができる。その場合、この容量素子は、いわゆるMIM構造となっているので、容量特性の電圧依存性を生じることもなく、良好な電気的特性を発揮することができる。

【0082】なお、容量素子として使用しない箇所は、本実施形態のごとく、上部電極膜6bを金属配線層に接続しなければよいだけである。

【0083】すなわち、本実施形態では、上記図10(a)～(g)に示す従来の半導体装置の製造工程に比べ、工程数は変わらない。すなわち、同じ工程数で、MIM構造の容量素子をも形成できる。この容量素子や抵抗素子を機能させるのは、CWコンタクトや金属配線層のパターンによって自由に選択し得る。したがって、このようなレイアウトにすることで、容量素子を搭載した半導体装置を形成するための2層ポリシリコンプロセスを利用しながら、低抵抗化されたゲート及びソース・ドレインを有するnチャネルMOSトランジスタと高抵抗領域で形成された抵抗素子と容量素子とを混載した半導体装置が得られる。

【0084】(第2の実施形態) 次に、nチャネルトラ

ンジスタと折り返し部を有する抵抗素子とを混載した半導体装置の構造及びその製造方法に係る第2の実施形態について説明する。図3(a)～(c)は本実施形態における半導体装置の製造工程を示す平面図であって、上記第1の実施形態における図2(a)～(c)に示す工程と対応する工程を示している。各工程における半導体装置の断面形状は、上記図1(a)～(g)に示す形状と同じである。

【0085】図3(a)に示すように、素子分離2の上に抵抗体膜4aを形成した状態では、抵抗体膜4aは高い抵抗値を実現するために、途中で折り返されていて、両端のコンタクト形成領域4a1と、合計5箇所の直線部Aa2と、曲り部である合計4か所のフリンジ部4a3とを有するつずら折り返しの長い膜となっている。

【0086】次に、図3(b)に示すように、絶縁膜5及び第2の導電膜6を形成した後、これをパターニングして、ゲート電極6a及びゲート酸化膜5aと、上部電極膜6b及び上部電極膜-抵抗体膜4a間に介在する第2の絶縁膜5bとをパターニングする。このように、ゲート電極6aと上部電極膜6bとを形成した状態では、上部電極膜6bは、抵抗体膜4aの各直線部4a2及び各直線部間の基板表面をすべて覆い、抵抗体膜4aのフリンジ部4a3及び両端のコンタクト形成領域4a1付近を露出させている。言い換えると、第2の導電膜6は抵抗体膜4aにオーバーラップしている。

【0087】さらに、図3(c)に示すように、シリサイド化が終了した段階では、ゲート電極6aと、n型高濃度拡散層10と、抵抗体膜4aのフリンジ部4a3及び両端のコンタクト形成領域4a1と、上部電極膜6bとの表面付近の部分がシリサイド化されて、シリコンとチタンとの反応物からなるシリサイド膜11a～11dがそれぞれ形成される。一方、抵抗体膜4aのうち上部電極膜6bによって覆われた部分はシリサイド化されなく、高い抵抗値を有している。さらに、層間絶縁膜と、金属配線層と、ゲート電極-金属配線層間のCWコンタクト13aと、n型高濃度拡散層-金属配線層間のCWコンタクト13bと、抵抗体膜-金属配線層間のCWコンタクト13cとが形成される。CWコンタクト13cは抵抗体膜4aの低抵抗化された両端部の上に形成される。ただし、容量素子を機能させる場合には、上部電極膜-金属配線層間にもCWコンタクトが形成される。なお、図3(c)は金属配線層を形成する前の状態を示し、同図には金属配線層は示されていないが、金属配線層は図1(g)に示すのとほぼ同様に形成される。

【0088】このようなレイアウトにすることで、上記第1の実施形態と同様に、2層ポリシリコンプロセスを利用しながら、低抵抗化されたゲート及びソース・ドレインを有するnチャネルMOSトランジスタと高抵抗領域で形成された抵抗素子とを混載した半導体装置が得られる。

【0089】さらに、本実施形態においては、抵抗体膜4a中の直線部4a2はシリサイド化されずに高い抵抗値を確保できる。一方、抵抗体膜4a中のフリンジ部4a3がシリサイド化されて低抵抗となっている。したがって、フリンジ部4a3における形状のバラツキや広がり抵抗の影響は極め小さくなり、フリンジ部4a3における抵抗値の変動に起因する抵抗素子全体の抵抗値のバラツキを抑制して、抵抗特性の精度を向上させることができる。かつ、上記従来の技術における図11(b)に示すようなCWコンタクトを抵抗素子の一部とする構造のように、抵抗素子の占有面積の増大やCWコンタクトの抵抗値のバラツキに起因する抵抗素子全体の抵抗値のバラツキが生じることもない。

【0090】また、本実施形態では上部電極膜6bを形成したが、上部電極膜6bを形成することなく単に第2の絶縁膜5bだけをシリサイド化工程における反応防止膜として使用するようにしてもよい。このような構成であっても、抵抗素子の占有面積の増大等を招くことなく、フリンジ部における形状のバラツキや広がり抵抗の影響を抑制して抵抗素子の抵抗特性の精度を向上させることができる。

【0091】(第3の実施形態)次に、nチャネルトランジスタと折り返し部を有する抵抗素子と容量素子とを混載した半導体装置の構造及びその製造方法に係る第3の実施形態について説明する。図4(a)～(c)は本実施形態における半導体装置の製造工程を示す平面図であって、上記第1の実施形態における図1(a)～(g)に示す工程とは異なるが、図1(a)～(g)に示す工程からの類推は容易である。

【0092】上記第1、第2実施形態では、抵抗素子をポリシリコン膜で構成し容量素子をMIM構造としたが、本実施形態では、抵抗素子を半導体基板内の不純物拡散層で構成し容量素子を半導体基板と絶縁膜とその上の導電体とからなるMIS構造としている。

【0093】図4(a)に示すように、半導体基板内のpウェル1に例えばトレンチ分離法により素子分離2を形成する際に、トランジスタ形成領域1aとは別に素子分離2で囲まれる抵抗素子形成領域1bを設けておく。この抵抗素子形成領域1bは抵抗素子であると共に容量素子を構成する下部電極としても機能し得るものであり、その形状は上記第2の実施形態における抵抗体膜4aの形状と同じである。すなわち、両端のコンタクト形成領域1b1と、合計5箇所の直線部1b2と、曲り部である合計4か所のフリンジ部1b3を有している。

【0094】図4(b)に示す工程では、ゲート電極6aと上部電極膜6bとを形成する。この上部電極膜6bは、抵抗素子形成領域1bの直線部1b2と基板表面とを覆い、フリンジ部1b3及び両端のコンタクト形成領域1b1とは露出させている。

【0095】図示は省略するが、図4(c)に示す工程

21

の前に、以下の工程を行なう。

【0096】まず、n型低濃度拡散層を形成したあと、シリコン酸化膜を堆積し、さらにこれをエッチバックしてゲート電極6a及び上部電極膜6bの側面上にサイドウォール8を形成する。続いて、ソース・ドレインとなるn型高濃度拡散層（図示せず）を形成し、例えば850℃、100分間の熱処理により不純物を活性化する。さらに、例えばチタン等のリフラクトリ金属をスパッタリング法により50nm程度の厚みで堆積し、急速加熱処理を700℃、1分間の条件で行なう。この熱処理により、シリコン酸化膜に覆われていないかつシリコンで構成される領域、つまりゲート電極6aとn型高濃度拡散層と抵抗素子形成領域1bの表面が露出している領域と上部電極膜6bとの表面付近の部分がシリサイド化されて、シリコンとチタンとの反応物からなるシリサイド膜11a～11dがそれぞれ形成される。その後、チタン膜のうちシリサイド膜が形成されていない未反応部分はウェットエッチングによって除去される。さらに、層間絶縁膜と、金属配線層と、ゲート電極-金属配線層間のCWコンタクト13aと、n型高濃度拡散層-金属配線層間のCWコンタクト13bと、抵抗体膜-金属配線層間のCWコンタクト13cとを形成する。CWコンタクト13bは、抵抗素子の低抵抗化された両端のコンタクト形成領域1b1の上に形成される。なお、図4(c)は金属配線層を形成する前の状態を示し、同図には金属配線層は示されていないが、金属配線層は図1(g)とほぼ同様に形成される。

【0097】本実施形態では、抵抗素子形成領域1b中のフリンジ部1b3が低抵抗化されるので、上記第2の実施形態と基本的に同じ効果、つまりフリンジ部1b3の存在に起因する抵抗値のバラツキを抑制して、抵抗特性の向上を図ることができる。特に、本実施形態では、2層のポリシリコン膜が不要であり、単層のポリシリコン膜を使用しながら、ゲートやソース・ドレインの低抵抗化と抵抗素子の占有面積の低減とを同時に実現でき、製造コストの低減を図ることができる利点がある。

【0098】（第4の実施形態）次に、nチャネルトランジスタと折り返し部を有する抵抗素子と容量素子とを混載した半導体装置の構造及びその製造方法に係る第4の実施形態について説明する。図5(a)～(e)及び図6(a)～(c)は、それぞれ本実施形態における半導体装置の製造工程を示す断面図及び平面図である。

【0099】まず、図5(a)に示す工程において、シリコン基板に形成されたpウェル1内に例えばトレンチ分離法により素子分離2を形成する。引き続き、例えばバイ酸酸化により20nmの厚みを有するシリコン酸化膜からなる第1の絶縁膜3を形成した後、例えばCVD法により厚み200nmのポリシリコン膜からなる第1の導電膜4を堆積する。その後、例えば6E15cm⁻²、30keVの条件で第1の導電膜4中に砒素イオン

22

を注入し、さらに、例えば900℃、30分の条件で第1の導電膜4の活性化熱処理を行う。次に、第1の導電膜4の上に所望の領域を開口したレジスト膜（図示せず）を形成し、このレジスト膜をマスクとしてドライエッチングを行ない、第1の導電膜4をパターニングして素子分離2の上に抵抗体膜4aを形成する。

【0100】このとき、平面状態では、図6(a)に示す構造となっている。すなわち、上記第2の実施形態における図3(a)と同じ平面形状であって、抵抗体膜4aは、両端のコンタクト形成領域4a1と、合計5箇所の直線部4a2と、合計4箇所のフリンジ部4a3とを有している。

【0101】さらに、図5(b)に示すように、ウェットエッチングにより第1の絶縁膜3を除去したあと、厚みが10nm程度のゲート酸化膜5aを形成する。このとき、抵抗体膜4aの上面及び側面にも酸化膜からなる第2の絶縁膜5bが形成されるが、単結晶シリコンよりもポリシリコンの方が酸化されやすいので、第2の絶縁膜5bの厚みは20nm程度とゲート酸化膜5aよりも厚い。さらに、例えばCVD法により、厚みが300nm程度のポリシリコン膜からなる第2の導電膜6を堆積する。その後、例えば6E15cm⁻²、30keVの条件で第2の導電膜6中に砒素イオンを注入する。次に、所望の開口部を有するレジスト膜Rm2を第2の導電膜6の上に形成し、このレジスト膜Rm2をマスクとするドライエッチングにより第2の導電膜6をパターニングして、ゲート電極6aと容量素子の上部電極膜6bとを形成する。

【0102】このとき、平面状態では図6(b)に示す構造となっている。すなわち、第2の導電膜6からパターニングされるゲート電極6aはpウェル1の中央を横断して両側の素子分離2にまで跨っている。また、第2の導電膜6からパターニングされる容量素子の上部電極膜6bは、抵抗体膜4aの直線部4a2のみを覆い、コンタクト形成領域4a1フリンジ部4a3を露出させている。さらに、上部電極6bは、抵抗体膜4aの各直線部4a2のうち2箇所の最外方の直線部よりも外方にはみだた接続領域6b1、6b2を有している。

【0103】次に、図5(c)に示す工程では、pウェル21内に不純物イオンを注入してn型LDD層（Lightly Doped Drain）となるn型低濃度拡散層9を形成する。その後、例えばCVD法により、サイドウォール絶縁膜となるシリコン酸化膜を150nm程度の厚みで堆積し異方性ドライエッチングを行なって、シリコン酸化膜をエッチバックし、ゲート電極6a、抵抗体膜4及び上部電極膜6bの側面上にシリコン酸化膜を残してサイドウォール8を形成する。さらに、上方から高濃度の不純物イオンを注入して、ソース・ドレインとなるn型高濃度拡散層10を形成し、不純物を活性化するために、例えば850℃、100分間の熱処理を行なう。

23

【0104】次に、図5(d)に示す工程では、例えばチタン等のリフラクトリ金属をスパッタリング法により50nm程度の厚みで堆積し、急速加熱熱処理を700℃、1分間の条件で行なう。この熱処理により、シリコン酸化膜に覆われていないかつシリコンで構成される領域、つまりゲート電極6aとn型高濃度拡散層10と抵抗体膜4aの表面が露出している領域と上部電極膜6bとの表面付近の部分がシリサイド化されて、シリコンとチタンとの反応物からなるシリサイド膜11a～11dがそれぞれ形成される。その後、チタン膜のうちシリサイド膜が形成されていない未反応部分はウェットエッチングによって除去される。

【0105】さらに、図5(e)に示すように、基板上に、層間絶縁膜12と、金属配線層14と、ゲート電極-金属配線層間のCWコンタクト13aと、n型高濃度拡散層-金属配線層間のCWコンタクト13bと、抵抗体膜-金属配線層間のCWコンタクト13cと、上部電極膜-金属配線層間のCWコンタクト13dとを形成して、低抵抗化されたゲート電極及びソース・ドレイン領域を有するnチャネルMOSトランジスタと高抵抗の抵抗素子と容量素子とが混載した半導体装置を形成する。そのとき、金属配線層14を形成する前の平面構造は、図6(c)に示す構造となっている。

【0106】すなわち、本実施形態の特徴は、上記上部電極膜6bのうち抵抗体膜4a上からはみでた上下2つの接続領域6b1、6b2に、各々5つのCWコンタクト13dが形成されている点である。ただし、図5(e)は図6(c)に示すVe-Ve線における断面図であるので、図5(e)には、代表的に1つのCWコンタクト13dしか表示していない。

【0107】このような構成にすることで、上記第3の実施形態と同様の効果を発揮することができる。

【0108】しかも、本実施形態では、上部電極膜6bのうち抵抗体膜4aの形成領域の外方となる上下の接続領域6b1、6b2内の相対向する各5箇所にCWコンタクト13dが形成されている。このような構成を採ることにより得られる特殊な効果について、以下に説明する。

【0109】図7(a)、(b)は、本実施形態により形成される抵抗素子と容量素子とで構成される階段型の信号遅延回路の構造を説明するための等価回路図である。すなわち、抵抗素子の両端のCWコンタクト13cをそれぞれ入力端子Tin、出力端子Toutとし、CWコンタクト13dに接続される金属配線層14を接地に接続した場合、上下の接続領域6b1、6b2間の各部分抵抗R1に対して、接地との間に容量Cと抵抗R2とが並列に接続されている構造となる。ただし、各部の容量Cや抵抗R1、R2は必ずしも同じである必要はない。このような構成により、接続領域6b1、RcoにおけるCWコンタクト13dの形成位置や形成数を適宜変えることによって遅延特性を調整することができ、かつ容量素子の

24

上部電極が低抵抗化されていることにより、容量Cと直列に接続される抵抗成分R2を低減できるため、信号遅延回路中の信号の減衰を抑制することができる。

【0110】(第5の実施形態)次に、nチャネルトランジスタと抵抗素子と容量素子に加えて、抵抗素子と容量素子のダミーパターンを設けた半導体装置の構造及びその製造方法に係る第5の実施形態について説明する。図8(a)、(b)は、本実施形態における半導体装置の製造工程を示す平面図である。

【0111】本実施形態における製造工程のうち断面構造に関する手順は、上記第4の実施形態における図5(a)～(e)に示す手順とほぼ同様であるので図示及び説明を省略する。

【0112】ただし、本実施形態では、図8(a)に示すように、第1の導電膜4をパターンニングして抵抗体膜4aを形成する際に、直線状の抵抗体膜4aの両側に抵抗体膜4aに平行なダミーパターンとなる側方抵抗体膜4b、4cを形成しておく。そして、第2の絶縁膜(図示せず)を形成した後、第2の導電膜6をパターンニングする際には、上部電極膜6bが、抵抗体膜4aの両体を除く部分と、各側方抵抗体膜4b、4cのそれぞれ一方の端部を除く部分とを覆い、さらに上下にはみでた接続領域6b1、6b2を有するように形成しておく。なお、トランジスタ形成領域においては、ゲート酸化膜やゲート電極6aを形成する。

【0113】そして、図8(b)に示す工程の前に、n型低濃度拡散層、サイドウォール8、n型高濃度拡散層を形成する。

【0114】図8(b)に示す工程では、ゲート電極6aとn型高濃度拡散層10と抵抗体膜4aと側方抵抗体膜4b、4cの表面が露出している領域と上部電極膜6bとの表面付近の部分をシリサイド化して、シリコンとチタンとの反応物からなるシリサイド膜11a～11fをそれぞれ形成する。さらに、基板上に、層間絶縁膜と、金属配線層と、ゲート電極-金属配線層間のCWコンタクト13aと、n型高濃度拡散層-金属配線層間のCWコンタクト13bと、抵抗体膜-金属配線層間のCWコンタクト13cと、上部電極膜-金属配線層間のCWコンタクト13dと、各側方抵抗体膜-金属配線層間のCWコンタクト13e、13fとを形成する。

【0115】本実施形態では、抵抗体膜4aの両側にダミーの側方抵抗体膜4b、4cを形成することで、ライン&スペースパターン内に抵抗体膜4aが形成される。すなわち、ライン&スペースパターンの中央部(抵抗体膜4a)において、フォトリソグラフィ工程におけるパターンニング精度が特に高くなることが知られており、このような構造にすることで、抵抗体膜4aの抵抗値を高精度に調整することができる。

【0116】さらに、本実施形態では、各側方抵抗体膜4b、4cの一端をCWコンタクト13e、13f及び

金属配線層を介して所定の電圧を供給する端子に接続しておくことができる。例えば接地に接続しておくことができる。

【0117】このように、ダミーの側方抵抗体膜4b、4cを低抵抗のコンタクトを介して所定の電位に固定しておくことで、電氣的に浮いた側方抵抗体膜の存在に起因すると特性の変動を確実に防止することができる利点がある。

【0118】なお、側方抵抗体膜4b、4cを下部電極とし、その上の第2の絶縁膜を容量絶縁膜とし、その上の上部電極膜6bを上部電極とする容量素子を機能させることもできる。

【0119】(第6の実施形態)次に、nチャネルトランジスタと抵抗素子と渦巻状の抵抗素子からなるインダクタと容量素子とを設けた半導体装置の構造及びその製造方法に係る第6の実施形態について説明する。図9(a)、(b)は、本実施形態における半導体装置の製造工程を示す平面図である。

【0120】本実施形態における製造工程のうち断面構造に関する手順は、上記第4の実施形態における図5(a)～(e)に示す手順とほぼ同様であるので図示及び説明を省略する。

【0121】本実施形態では、第4の実施形態に示すトランジスタ、抵抗素子及び容量素子を形成すると共に、半導体基板上の別の部位に図9(a)、(b)に示す構造を有するインダクタを形成する。

【0122】図9(a)に示すように、第1の導電膜4をパターンニングする工程で、矩形渦巻状の抵抗体膜4aを形成する。すなわち、中央部の1点から出発した1つの線状の膜が矩形を描き、かつ矩形の各辺が順次その長さを拡大させながら外方に延び、外方の1点で止まり、その結果、両端のコンタクト形成領域4a1と、渦巻状矩形の各辺を構成する直線部4a2と、渦巻状矩形の角部を構成する曲り部4a3とからなる抵抗体膜4aが形成される。

【0123】そして、第2の絶縁膜(図示せず)を形成した後、第2の導電膜6をパターンニングする際には、上部電極膜6bを、抵抗体膜4aの中央及び外方の端部のコンタクト形成領域4a1と、曲り部4a3とを露出させ、同じ辺に属する各直線部4a2及びその間の基板上を覆う4つの部分により構成する。そして、この各部分には、最外方の直線部4a2の外方にはみでた接続領域6b1～6b4がそれぞれ設けられている。

【0124】図9(b)に示すように、シリサイド化工程では、抵抗体膜4aの表面が露出している領域と上部電極膜6bとの表面付近の部分シリサイド化して、シリコンとチタンとの反応物からなるシリサイド膜11c、11dをそれぞれ形成する。さらに、層間絶縁膜、金属配線層及び金属配線層を形成する工程では、インダクタの抵抗体膜—金属配線層間のCWコンタクト13c

と、インダクタ領域の上部電極膜—金属配線層間のCWコンタクト13dとを形成する。

【0125】本実施形態では、上記第4の実施形態と同様の効果に加え、LCR回路を構成し得る利点がある。

【0126】なお、本実施形態に係るインダクタを抵抗素子として使用することも可能であり、そのときにも、上記第4の実施形態と同様の効果を発揮し得る。特に、抵抗素子を第4の実施形態のようなつづら折り状ではなく本実施形態のような渦巻状の構造とすることにより、抵抗素子の占有面積の低減を図ることができる利点がある。

【0127】(その他の実施形態)上記各実施形態では、ゲート電極、ソース・ドレイン領域等の低抵抗化の手段としてサリサイドプロセスを利用した例を説明したが、本発明はかかる実施形態に限定されるものではない。例えば選択的CVD法を用いたタングステン膜の堆積によるタングステン張り付け技術等、他の低抵抗化技術を適用しても、同様の効果を発揮できることはいうまでもない。

【0128】また、MOSTランジスタ側では、ゲート電極のみをシリサイド等によって低抵抗化するいわゆるポリサイドプロセスを用いてもよい。

【0129】上記各実施形態では、抵抗体膜4aをシリコン基板またはポリシリコン膜で構成したが、アモルファスシリコン膜で構成してもよい。また、抵抗体膜を必ずしも半導体膜で構成する必要はなく、比較的高抵抗の金属膜を用いながら、コンタクト形成領域や曲り部の表面のみにタングステン張り付け層を形成するような構成も可能である。

【0130】なお、抵抗体膜4aにおけるコンタクト形成領域を確保する場所は、上記各実施形態のごとく両端部に限定されるものではなく、特に容量素子のみを機能させるようなものでは、中央付近にコンタクト形成領域を設けてもよい。

【0131】また、上記第2、第4及び第6の実施形態においても、上記第5の実施形態のような抵抗体膜のダミーパターンを最外方の直線部の外側に形成することにより、最外方の直線部の形状精度を向上させることができ、抵抗素子の抵抗値を向上させることができる。

【0132】

【発明の効果】請求項1～7によれば、半導体装置において、第1の導電性部材と、第1の導電性部材のコンタクト領域を除く領域を覆う第2の導電性部材と、第1、第2の導電性部材の間に介設される絶縁膜とを設け、第1の導電性部材のコンタクト形成領域と第2の導電性部材の表面のみに低抵抗層を形成し、各導電性部材と絶縁膜とにより、インダクタ、抵抗素子、容量素子を任意に選択して機能させるような構成したので、抵抗素子等の単位長さ当たりの抵抗値を低下させることなくコンタクト形成領域の低抵抗化を図りながら、共通のプロセスに

よって形成される各種の受動素子を搭載可能な半導体装置の提供を図ることができる。

【0133】請求項8～12によれば、半導体装置に、直線部と曲り部とで構成される第1の導電性部材のうち曲り部及びコンタクト形成領域のみに低抵抗層を設ける構成としたので、占有面積の小さい抵抗素子又はインダクタを第1の導電性部材で構成しながら、曲り部における抵抗値の変動に起因する抵抗特性のバラツキを抑制することができる。

【0134】請求項13～19によれば、受動素子を搭載した半導体装置の製造方法として、第1の導電性部材のコンタクト形成領域を除く領域の上に絶縁膜と第2の導電性部材とを形成した後、第1の導電性部材のコンタクト形成領域と第2の導電性部材の表面とを低抵抗化するようにしたので、請求項1～7の構成を有する半導体装置を実現するための製造方法の提供を図ることができる。

【0135】請求項20～25によれば、直線部と曲り部とを有する第1の導電性部材を形成した後、第1の導電性部材のコンタクト形成領域と曲り部のみを低抵抗化するようにしたので、請求項8～12の構成を有する半導体装置を実現するための製造方法の提供を図ることができる。

【図面の簡単な説明】

【図1】第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図2】第1の実施形態に係る半導体装置の製造工程を示す平面図である。

【図3】第2の実施形態に係る半導体装置の製造工程を示す平面図である。

【図4】第3の実施形態に係る半導体装置の製造工程を示す平面図である。

【図5】第4の実施形態に係る半導体装置の製造工程を示す断面図である。

【図6】第4の実施形態に係る半導体装置の製造工程を示す平面図である。

【図7】第4の実施形態に係る半導体装置の抵抗体膜、容量絶縁膜及び上部電極膜で構成される信号遅延回路の等価電気回路図及びその説明図である。

【図8】第5の実施形態に係る半導体装置の製造工程を示す平面図である。

10 【図9】第6の実施形態に係る半導体装置の製造工程を示す平面図である。

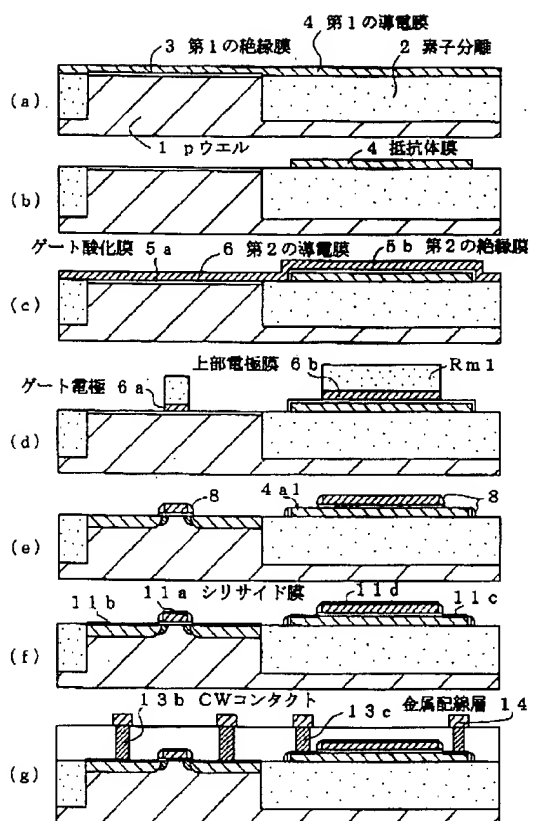
【図10】従来のトランジスタと抵抗素子とを混載した半導体装置の製造工程を示す断面図である。

【図11】従来のつずら折り状の抵抗素子の製造工程を示す平面図である。

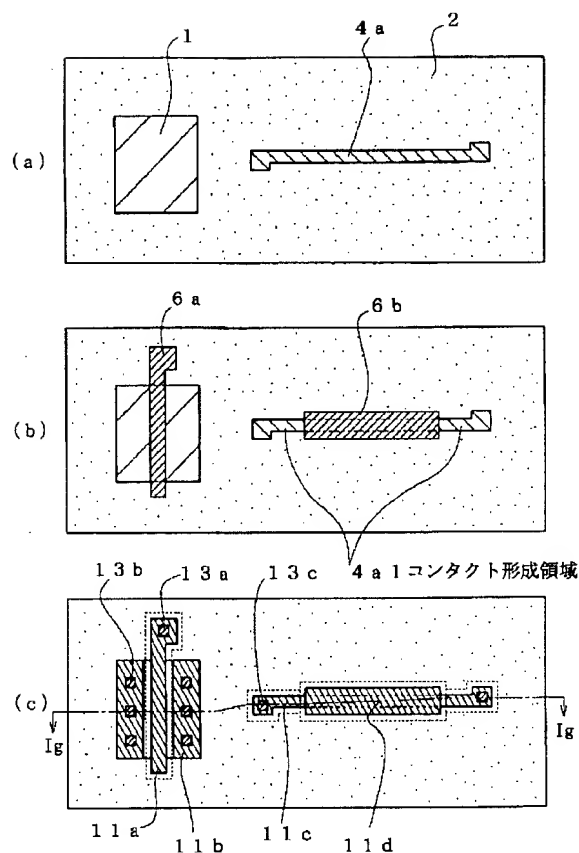
【符号の説明】

- 1 pウエル
- 2 素子分離
- 3 第1の絶縁膜
- 4 第1の導電膜
- 4a 抵抗体膜
- 5a ゲート酸化膜
- 5b 第2の絶縁膜
- 6 第2の導電膜
- 6a ゲート電極
- 6b 抵抗体膜
- 9 n型低濃度拡散層
- 10 n型高濃度拡散層
- 11 シリサイド膜
- 30 13 CWコンタクト
- Rm レジスト膜
- Rco 接続領域

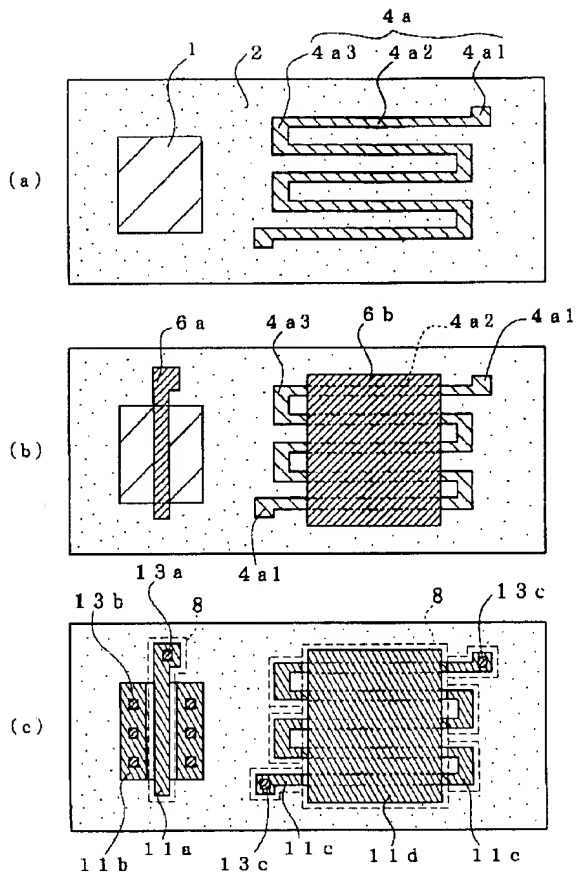
【図1】



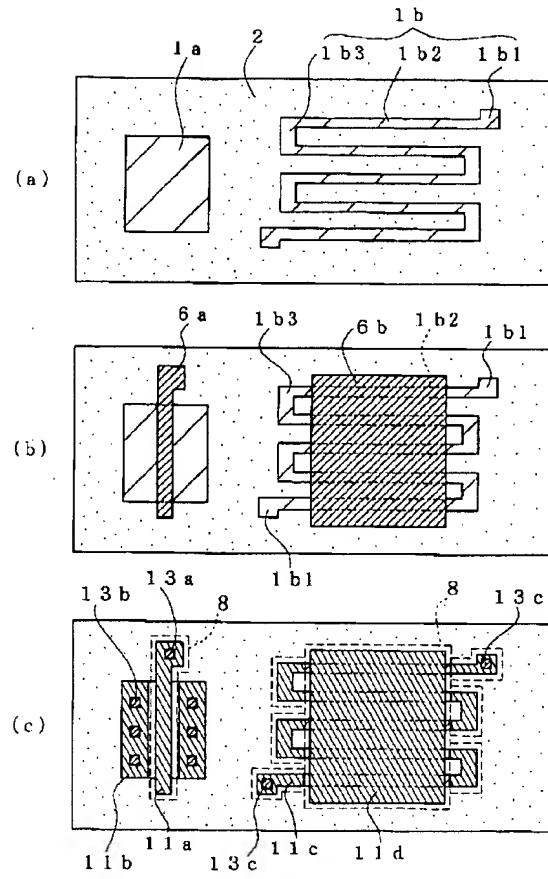
【図2】



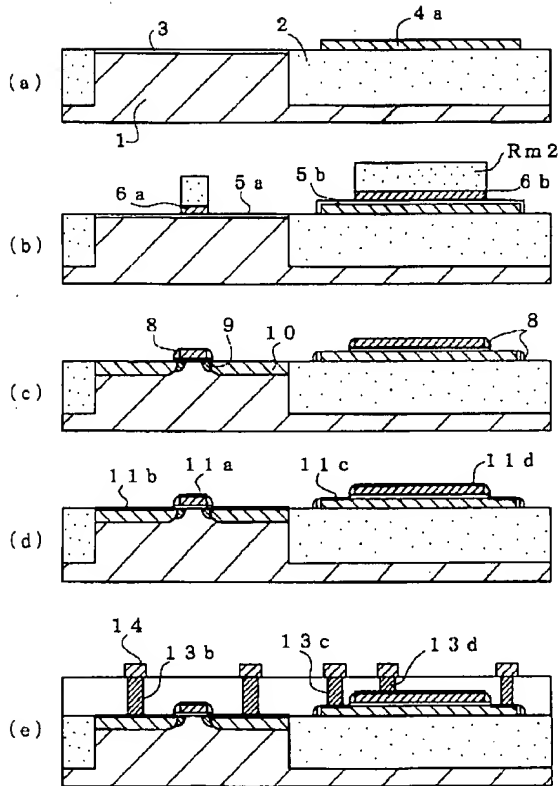
【図3】



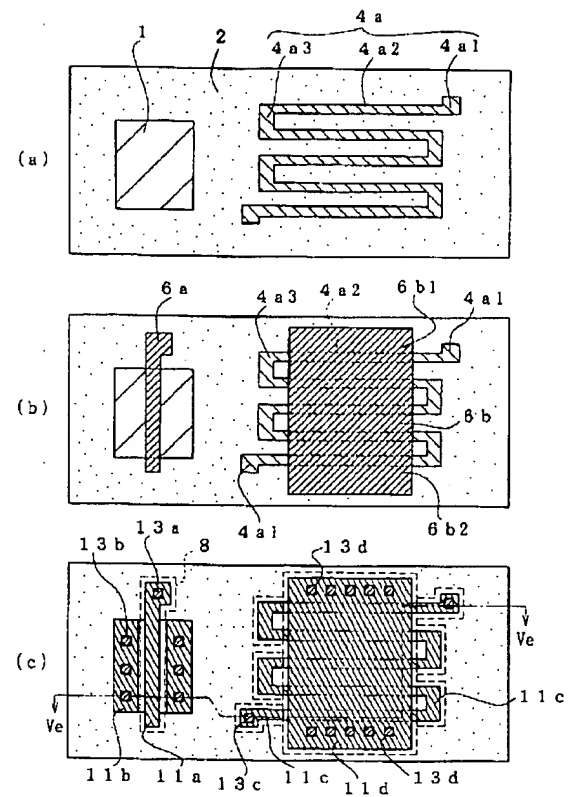
【図4】



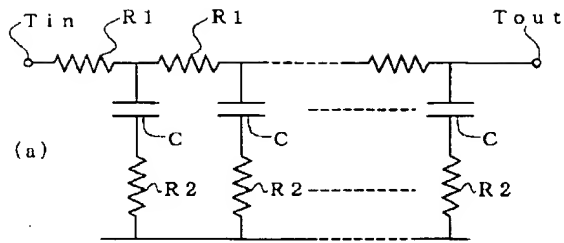
【図5】



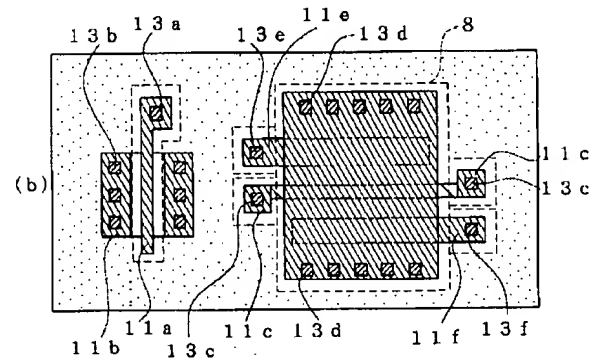
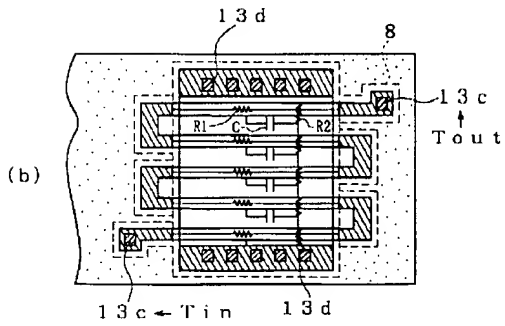
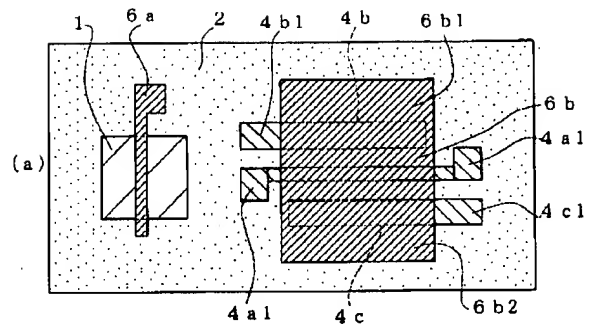
【図6】



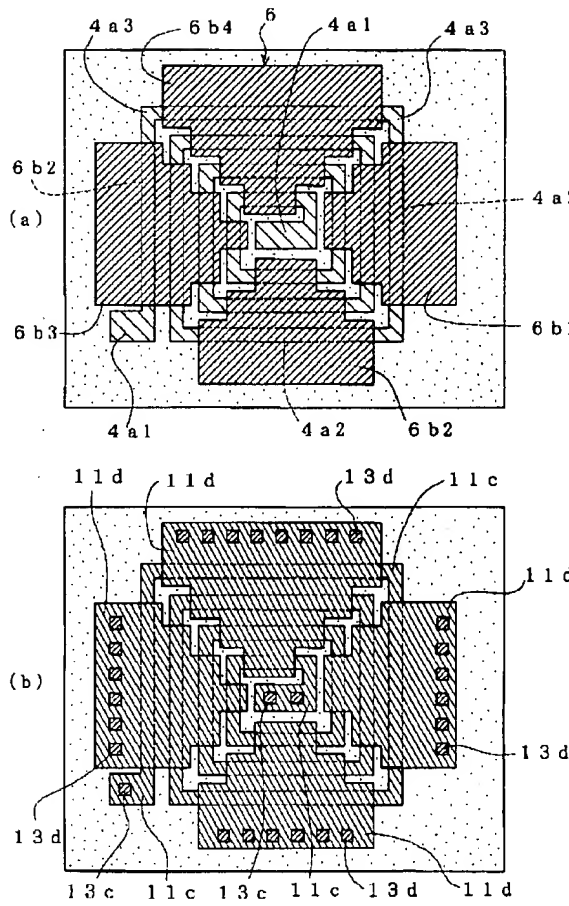
【図7】



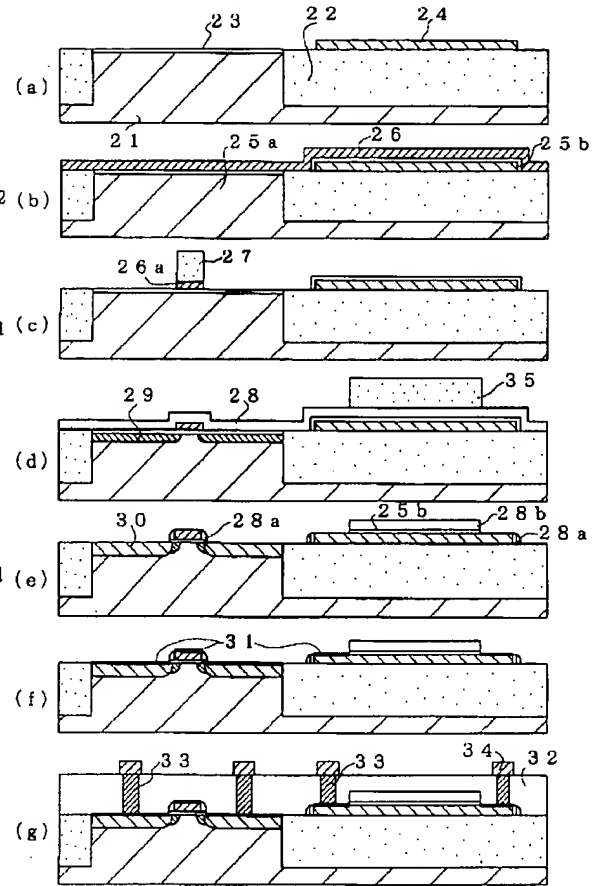
【図8】



【図9】



【図10】



【図11】

